

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 693 333

(21) N° d'enregistrement national :  
92 08209

(51) Int Cl<sup>5</sup> : H 04 J 3/22, H 04 L 5/22

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 03.07.92.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : 07.01.94 Bulletin 94/01.

(56) Liste des documents cités dans le rapport de recherche préliminaire : Se reporter à la fin du présent fascicule.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : Société dite: THOMSON-CSF  
(société anonyme) — FR.

(72) Inventeur(s) : Thomas Patrice et Provost Marie-Josée.

(73) Titulaire(s) :

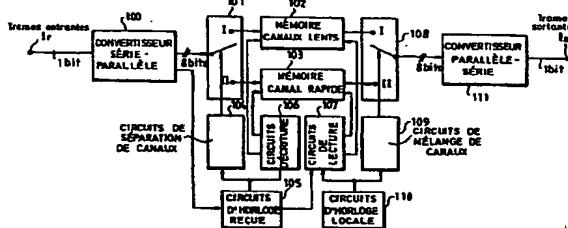
(74) Mandataire : Lepercque J.

(54) Dispositif de recalage d'informations multiplexées.

(57) L'invention concerne un dispositif de recalage d'informations prévu pour émettre dans un multiplex sortant (1) des informations provenant d'un multiplex temporel entrant (1); ces multiplex sont constitués de canaux à cadence rapide et à cadence lente; le dispositif de recalage d'informations selon l'invention comporte au moins:

- des circuits de séparation de canaux (101, 104)
- une première mémoire à décalage (102) pour les canaux à cadence lente,
- une seconde mémoire à décalage (103) pour les canaux à cadence rapide,
- des circuits d'écriture (106) et de lecture (107) commandés respectivement par une horloge reçue (105) et une horloge locale 110,
- et des circuits de reconstitution de multiplex (108, 109).

Application à la transmission de son numérisé et de données paquets.



FR 2 693 333 - A1



## Dispositif de recalage d'informations multiplexées

L'invention concerne une dispositif de recalage d'informations pour émettre dans un multiplex temporel sortant des informations provenant d'un multiplex entrant, lesdits multiplex temporels étant prévus pour des canaux à cadence rapide et à cadence lente.

On appellera dans ce qui suit recalage l'opération consistant à fermer une boucle de circuits de transmission et permettant d'émettre un multiplex de caractéristiques prévisibles. Pour fixer les idées, sans que cela soit limitatif, on appellera octet un élément d'information.

Divers procédés et dispositifs ont été proposés dans l'Art Connu. En particulier, dans la demande de brevet français publiée le 10 novembre 1983 sous le n° 2 526 614, il est proposé un dispositif prévu pour gérer des canaux à cadence rapide, formés d'espaces de temps repérés dans une trame, tandis que les canaux à cadence lente sont formés d'espaces de temps distribués dans des trames successives et repérés dans une multitrame englobant une pluralité de trames. Le dispositif de recalage d'informations est constitué à partir d'un ensemble de mémoires qui est muni d'une entrée et d'une sortie de données et auquel sont affectés, d'une part, un circuit d'écriture pour y inscrire au rythme du multiplex entrant les informations de ce multiplex et, d'autre part, un circuit de lecture pour fournir au multiplex sortant, à son rythme, les informations contenues dans ledit ensemble de mémoires. L'ensemble de mémoires est formé de deux groupes, un groupe étant destiné à contenir les informations des canaux à cadence rapide, l'autre les informations à cadence lente, les circuits d'écriture et de lecture de ces groupes étant distincts. Il est en outre prévu un organe de retard coopérant avec des moyens de commutation pour retarder les informations des canaux à cadence lente à la sortie de l'ensemble de mémoires et un circuit de combinaison connecté à la sortie de données de

l'ensemble de mémoires et de l'organe à retard pour fournir le multiplex sortant.

Le dispositif décrit dans cette demande de brevet présente cependant certaines limitations. En particulier, les possibilités de recalage présentent une valeur maximale. Celle-ci est liée à la structure de la trame adoptée. En outre, bien que les circuits soient plus simples que ceux des dispositifs antérieurement connus, ils présentent une certaine complexité due au fait que l'information se présente sous forme de bits répartis sur plusieurs trames.

Un autre procédé de recalage connu est celui décrit dans le projet ("draft") de norme FDDI2 (3.186-199x). La boucle réalisée dans ce cas est de type plésiochrone ce qui constraint à prévoir un ratrappage de gigue implanté sur chaque station de la boucle et rend donc un recalage sur le canal à cadence rapide inutile. Par contre, la boucle prévue par la norme FDDI2 étant une boucle plésiochrone, calée sur la cadence lente, un recalage au niveau canal à cadence lente est nécessaire pour fermer la boucle.

L'organe de recalage est défini de la façon suivante :

- il possède une profondeur suffisante pour accueillir un peu plus d'une trame de canaux à cadence lente.
- il est possible d'annuler l'action de ce dispositif en cas de débordement négatif ("underflow"), ce qui peut arriver si le retard total sur la boucle est voisin d'un nombre entier de trames.

L'invention se propose tout à la fois de pallier les inconvénients de l'Art Connus qui ont été rappelés et de prévoir des circuits adaptés à une boucle isochrone du type prévu par le projet de norme FDDI2 précité. Notamment, elle permet une simplification des circuits et accroît les possibilités de recalage.

Selon l'invention, la transmission isochrone sur une boucle peut avoir un temps de transfert sans valeurs minimale ou maximale.

L'invention a donc pour objet un dispositif de recalage d'informations pour émettre dans un multiplex temporel sortant des informations provenant d'un multiplex temporel entrant, lesdits multiplex temporels étant prévus pour au moins un canal à cadence rapide et des canaux à cadence lente, les canaux étant formés d'espaces temps répartis dans une trame ; caractérisé en ce qu'il comprend :

- 5 - des moyens de séparation des intervalles de temps supportant chaque canal à cadence rapide et des intervalles de temps supportant les canaux à cadence rapide,
- 10 - des premiers moyens, comprenant une première mémoire à décalage, destinés à recalier les canaux à cadence lente,
- des seconds moyens, en parallèle, comprenant une seconde mémoire à décalage, destinés à recalier chaque canal à cadence rapide,
- 15 - et des moyens de reconstitution des trames par mélange des espaces temps provenant des canaux à cadence lente et de chaque canal à cadence rapide.

L'invention sera mieux comprise et d'autres caractéristiques et avantages apparaîtront à la lecture de la description qui suit et des figures annexées, et parmi lesquelles :

- La figure 1 illustre schématiquement l'organisation d'un multiplex comportant des canaux à cadence rapide et des canaux à cadence lente selon l'Art Connus.
- 25 - La figure 2 représente un système en boucle comportant un dispositif de recalage.
- La figure 3 montre en détail le mode de réalisation d'un dispositif de recalage selon l'Art Connus.
- La figure 4 illustre schématiquement la structure générale d'un dispositif de recalage.
- 30 - La figure 5 illustre la configuration d'une trame véhiculant de l'information.
- La figure 6 illustre schématiquement un exemple de dispositif effectuant un double décalage conforme au procédé de l'invention.

- Les figures 7 à 9 sont des diagrammes illustrant le processus de double recalage selon l'invention.

- La figure 10 illustre le processus de formation de canaux selon l'invention.

5 - La figure 11 illustre un dispositif de recalage selon l'invention.

On va tout d'abord rappeler brièvement le recalage d'informations effectué selon l'Art Connus constitué par la demande de brevet français précitée.

10 La figure 1 représente l'organisation d'un multiplex présentant deux sortes de canaux, une à cadence rapide et une à cadence lente.

15 Les canaux à cadence rapide sont constitués par des espaces de temps I0, I1, I2, ... I247, disposés dans différentes trames TR0, TR1, ... TR2447. Pour fixer les idées, ces intervalles de temps contiennent chacun un élément binaire.

20 Les canaux à cadence lente sont constitués par des espaces de temps S situés en fin de trame et après l'espace I247 ; ces espaces de temps S contiennent huit éléments binaires et sont disposés dans des intervalles de temps IT248 à IT255 dont il sera question plus loin. Le canal CS0 à cadence lente est formé des espaces S des trames TR0, TR1, ... TR6 ; le canal CS1 des trames TR8, TR9, ... TR14, etc ... ; les espaces de temps S des trames TR7, TR15, ... TR2047 contiennent le code de trame T utilisé pour définir les intervalles de temps I0, I1, ..., les intervalles S des trames TR2040 à TR2046 (soit le canal CS255) contiennent le code de multitrame  $\bar{T}$  complémentaire du code T) qui permet de numérotter les différents canaux CS0, CS1, ... CS255.

25 30 L'invention, comme l'Art Connus, s'intéresse à des systèmes de transmission en boucle, boucles sur lesquelles sont insérées des stations de traitement de données.

35 Sur la boucle de transmission, ou sur chacune des boucles si le système en comporte plusieurs, on dispose un dispositif unique de recalage.

A la figure 2, le dispositif de recalage d'information porte la référence 1. Il est inséré dans un système de télécommunication en boucle du type qui vient d'être rappelé. Ce système permet l'échange d'informations entre différentes unités 2, 3, 4, 5, 6. Ces unités sont reliées par une ligne 10 transmettant l'information dans le sens indiqué par la flèche. La référence 11 indique une sortie du dispositif 1 où apparaît le multiplex sortant et la référence 12 l'entrée pour le multiplex entrant.

La figure 3 illustre en détail le dispositif de recalage 1. La ligne 10 vient se raccorder aux entrée et sortie 12 et 11. Un circuit d'horloge 20 restitue le rythme des informations apparaissant à la borne 12 et fournit ses signaux à un circuit de synchronisation 21 qui, en détectant les différents codes de trame T et de multitrame  $\overline{T}$ , élabore des signaux pour permettre l'inscription dans un groupe de mémoires M0, M1, ..., M7 sont munies respectivement d'entrées E0, E1, ... E7 connectées chacune à l'entrée 12, de sorties S0, S1, ..., S7, connectées à la sortie SM du groupe de mémoires par l'intermédiaire d'un commutateur 25, d'entrées de commande d'écriture W0, W1, W7, connectées au circuit 21 et d'entrées pour codes d'adresses A0, A1, ... A7.

Pour fixer le rythme du multiplex sortant, on a prévu un oscillateur à quartz 30, suivi d'un circuit générateur de signaux d'horloge 31. Ce circuit 31 fournit différents signaux utilisés pour la lecture des mémoires M0, M1, ... M7. Chaque mémoire est prévue, dans l'exemple décrit, pour enregistrer une trame, soit 256 éléments binaires. Des premiers fils A21 connectés en sortie du circuit 21 transmettent un chiffre binaire modulo "256" qui évolue au rythme binaire du multiplex entrant ; de même, de premiers fils A31 connectés en sortie du circuit 31 transmettent un chiffre binaire, de modulo identique, qui évolue, lui, au rythme binaire du multiplex sortant. Ces codes, transmis par les fils A21 et A31, vont servir de code d'adresses aux mémoires M0 à M7. Les commutateurs CA0, CA1, ..., CA7 déterminent lequel des codes d'adresses des fils A21 ou A31 est appliqué aux entrées A0, A1, ... A7. Les commandes de position de ces commu-

tateurs sont couplées aux commandes d'écritures des mémoires, de sorte que lorsque les fils A21 sont connectés aux entrées pour code d'adresses des mémoires, celles-ci sont mises en position d'écriture. Des seconds fils B21 connectés à la sortie du circuit 21 permettent de sélectionner les mémoires une à une en écriture. Un des fils B21 est connecté à la commande W0, un autre à la commande W1 ... etc ... Des seconds fils B31 connectés à la sortie du circuit 31 permettent de sélectionner les mémoires en lecture ; pour cela, ils sont reliés à la commande du commutateur 25. Un comparateur de code 50 compare les codes présents sur les fils B21 et B31 et, en cas d'égalité, agit sur le circuit 31 pour bloquer l'évolution du code aux fils 31.

A la sortie SM est branché un organe de retard 55 qui amène un retard de 16 320 éléments binaires. Un commutateur 60 permet, lorsqu'il est dans une première position, d'envoyer dans le multiplex sortant à la borne 11, les informations des canaux I, la borne 11 étant alors reliée à la sortie SM et, lorsqu'il est dans une deuxième position, d'envoyer les informations des canaux CS avec les codes T et  $\bar{T}$  dans le multiplex, la borne 11 étant alors reliée à la sortie de la ligne 55.

Le fonctionnement du dispositif de recalage est décrit de façon détaillée dans la demande de brevet français précitée à laquelle on se reporterait avec profit.

On va maintenant décrire le recalage d'informations selon l'invention. Selon celle-ci, on procède en réalité à un double recalage.

Un premier recalage concerne les informations multiplexées transmises par les canaux à cadence rapide.

Un second recalage concerne les informations multiplexées transmises par les canaux à cadence lente.

Dans un premier temps, dans un but de simplification, on supposera qu'il n'y a qu'un seul canal à cadence rapide et plusieurs canaux à cadence lente. Cette configuration correspond d'ailleurs à un exemple de réalisation pratique. A titre d'exemple, la transmission de signaux audio-visuels s'effectue habituelle-

ment en ayant recours à des canaux de transmission à cadence lente, canaux véhiculant des signaux sonores échantillonnés à cadence fixe, et à un canal rapide en mode paquet.

5 De façon générale, le recalage d'informations provenant d'un multiplex temporel entrant vers un multiplex temporel sortant s'effectue selon le schéma de la figure 4, ce quelque soit le type d'informations.

10 Le dispositif de recalage 1 reçoit des informations que l'on appellera "informations reçues" :  $I_r$ , et les transmet sous la forme d'informations que l'on appellera "informations émises" :  $I_e$ .

Le rythme de la réception est  $R_r$  et celui de l'émission  $R_e$ .

Comme dans l'Art Connú, l'information sera transmise par l'intermédiaire de trames divisées en intervalles de temps  $IT_n$ .

15 Pour fixer les idées, on supposera dans ce qui suit, sans que cela soit limitatif, qu'une trame a une durée de 125 µs et qu'elle est divisée typiquement en 1024 intervalles de temps notés  $IT_0$  à  $IT_{1023}$ .

20 La figure 5 illustre une telle disposition. Sur cette figure, sont représentés les intervalles de temps  $IT_0$  à  $IT_{1023}$  d'une première trame  $T_1$ , ainsi que les premiers intervalles de temps d'une seconde trame  $T_2$ .

25 Comme il a été indiqué, on procède à un double recalage. Le dispositif de recalage 1, illustré schématiquement par la figure 4, a en réalité la configuration générale illustrée par la figure 6.

Un premier recalage est dédié à la fermeture de boucle pour le canal rapide et un second recalage à la fermeture de boucle pour les canaux lents.

30 Le dispositif de recalage 1 comprend en conséquence un circuit A de séparation des intervalles de temps  $IT_n$  supportés respectivement par les canaux à cadence lente et le canal à cadence rapide (ou de façon plus générale, comme il le sera décrit, des canaux à cadence rapide), un circuit RL de recalage des canaux à cadence lente, un circuit de recalage RR du canal à cadence rapide et un circuit B de reconstitution de trames par

mélange des canaux à cadence lente et à cadence rapide (information émise  $I_e$ ).

5 Les circuits A, RL et RR sont rythmés par les informations entrantes ou reçues ( $I_r$ ). Les circuits RL, RR et B évoluent au rythme local en émission.

Le recalage pour les canaux lents va être explicité en se reportant au schéma de la figure 7.

10 Dans l'anneau, illustré par la figure 2, une seule station est pilote : le dispositif de recalage 1. Cette station est chargée d'émettre le corps des trames et les recaler.

15 Après génération des trames, cette station attend que les trames émises aient fait le tour de la boucle. A partir de cet instant, la fonction recalage commence à écrire, au rythme réception, dans un dispositif de mémorisation à décalage du type "FIFO" (de l'anglo-saxon "First In-First Out") qui va se remplir jusqu'à ce que les deux conditions suivantes soient satisfaites :

- présence dans la mémoire "FIFO" d'un nombre d'informations suffisantes pour absorber la gigue basse fréquence de la boucle (avec un minimum d'une trame complète),

20 - fin d'émission d'une trame au rythme local.

La boucle peut alors être fermée en émettant les informations présentes en mémoire "FIFO". Le retard artificiel de boucle apporté par le dispositif de recalage est donc tel qu'il complète le retard de boucle de façon à avoir l'équivalent d'un nombre entier de trames.

25 Dans les applications les plus courantes, comme la transmission de sons numériques, il y a échantillonnage. Il est donc nécessaire de respecter une récurrence due à l'échantillonnage, typiquement 8 Khz pour ce type d'application.

30 Sur la figure 7, on a représenté différents intervalles de temps dont les intervalles  $IT_0$  à  $IT_4$  d'une trame donnée reçue qui vont être réémis recalés dans les intervalles de temps correspondant d'une trame émise.

35 L'intervalle de temps séparant l'émission de la réception est égal à un nombre entier de trames.

Le recalage du canal rapide s'effectue de façon analogue si ce n'est qu'il n'y a plus de récurrence à respecter (par exemple 8 KHz) sur le rythme d'arrivée des paquets d'informations.

5 La figure 8 illustre le processus de recalage du canal rapide. L'information comprise dans un intervalle de temps  $IT_1$  est réémise dans un intervalle de temps  $IT_{k+1}$ . De façon plus générale, l'information comprise dans un intervalle de temps  $IT_n$  sera émise dans un intervalle de temps  $IT_{k+n}$ .

10 Le double recalage fait intervenir les deux recalages précédents pour reconstituer une trame.

15 Les intervalles de temps (IT) sont répartis en intervalles de temps supportant le canal à cadence rapide (pour la transmission de données par exemple) et en intervalles de temps pour canaux à cadence lente (pour la transmission de phonie numérisée par exemple).

Cette répartition peut être quelconque. Pour fixer les idées, trois exemples de répartitions sont décrites ci-dessous et repérées a), b) et c).

20 a/  $IT_{2n}$  avec n entier /  $1 \leq n \leq 511$  canaux lents  
 $IT_{2n+1}$  avec n entier /  $0 \leq n \leq 511$  canal rapide

b/  $IT_{4n}$  avec n entier /  $1 \leq n \leq 255$  canaux lents  
 $IT_{4n+1}, IT_{4n+2}$  avec n entier  $0 \leq n \leq 255$  canal rapide  
25  $IT_{4n+3}$

c/  $IT_{8n}$  avec n entier /  $1 \leq n \leq 127$  canaux lents  
 $IT_{8n+1}, IT_{8n+2}$  avec n entier  $0 \leq n \leq 127$  canal rapide  
 $IT_{8n+3}, IT_{8n+4}$   
30  $IT_{8n+5}, IT_{8n+6}$   
 $IT_{8n+7},$

L'intervalle de temps  $IT_0$  est considéré comme un intervalle de temps appartenant à un canal lent, mais il ne véhicule pas

d'information "utile". Il contient en permanence une valeur particulière qui joue le rôle de code de synchronisation.

5 La figure 9 illustre un exemple de processus de double recalage selon l'invention. Le recalage des informations appartenant au canal rapide est figuré par des traits doubles et les recalages des informations appartenant à des canaux lents par des traits simples.

10 Un exemple de constitution des canaux est illustré par la figure 10. Il correspond à la structure de trames décrite ci-dessus sous le repère "a/".

Pour cette structure de trame, il y a 511 canaux lents constitués par les canaux suivants :

canal 1 : 1I2, 2I2, 2I2, ..., nI2, ...

canal 2 : 1I4, 2I4, 3I4, ..., nI4, ...

15

canal 511 : 1I1022, 2I1022, 3I1022, ..., nI1022, ...

La récurrence des informations est de 8 KHz par exemple.

20 Il y a aussi un canal rapide constitué des intervalles de temps :

1I1, 1I3, ..., 1I1021, 1I1023, 2I1, 2I3, ..., 2I1021, 2I1023, ..., ..., ..., nI1, nI3, ..., nI1021, nI1023.

25 Les éléments repérés "yIx", tel que l'élément 1T1022 pour  $y = 1$  et  $x = 1022$ , sont les éléments portés sur la figure 10.

Comme il a été indiqué, dans l'exemple décrit, les intervalles de temps  $IT_0$  de chaque trame ne véhiculent pas d'informations "utiles" mais des signaux de synchronisation.

30 Un dispositif de mise en oeuvre du procédé selon l'invention va maintenant être décrit par référence à la figure 11.

Il comprend :

- un convertisseur série-parallèle 100, convertissant les bits des trames entrantes ou reçues  $I_r$  en octets

35 - un séparateur 101 de canaux lents-canal rapide, représenté sous la forme d'un commutateur à deux positions I et II

- des circuits 104 commandant ce séparateur de canaux 101, eux-mêmes commandés par des circuits 105 d'horloge reçue
- une première mémoire à décalage 102 à double port d'accès pour les octets des canaux à cadence lente
- 5 - une seconde mémoire à décalage 103 à double port d'accès pour les octets du canal à cadence rapide
- des circuits d'écriture 106 dans ces mémoires recevant également les signaux des circuits 105 d'horloge reçus
- des circuits de lecture 107 des deux mémoires recevant 10 des signaux d'horloge générés par des circuits d'horloge locale 110
- un mélangeur 108 des intervalles de temps des canaux à cadence lente-canal à cadence rapide
- des circuits 109 de commande de ce mélangeur 108 recevant 15 les signaux d'horloge locale (circuits 110)
- et un convertisseur parallèle-série 111 générant les trames sortantes (ou émises  $I_e$ ) ; trames qui sont recalées.

20 Ce dispositif de double recalage selon l'invention convient aussi bien à une trame constituée d'octets respectant les structures de trame précédemment définie qu'à des trames de structure approchante : octets remplacés par des n-uplets. Pour fixer les idées, la figure 11 illustre le cas d'une trame constituée d'octets.

25 Les circuits 105 d'horloge reçue fournissent les signaux nécessaires aux circuits de séparation 104 et aux circuits 106 d'écriture des mémoires 102 et 103. Ces signaux sont élaborés à partir de la trame reçue : reconnaissance de l'intervalle de temps de synchronisation, c'est-à-dire l'intervalle de temps  $IT_0$  comme il a été précédemment décrit.

30 Les circuits 104 de séparation des canaux à cadence lente et du canal à cadence rapide fournissent les signaux commandant les circuits 101 de réalisation des canaux à cadence lente et du canal à cadence rapide.

35 Les circuits 106 d'écriture des mémoires 102 et 103 gèrent le remplissage de celles-ci pour les canaux à cadences lente et rapide, phonie et paquet par exemple. Dans un exemple de réali-

sation préférée, la mémoire 102 pour canaux à cadence lente est capable de contenir deux intervalles de temps de chaque canal (profondeur de 2x512 bits dans l'exemple décrit) tandis que la mémoire 103 pour le canal à cadence rapide est capable de contenir trois intervalles de temps. Cette dernière condition est réalisée pour qu'il n'y ait pas recouvrement entre une lecture et une écriture.

Les circuits 110 d'horloge locale fournissent les signaux nécessaires aux circuits de lecture 107 et de commande de mélange 109 (ces signaux sont élaborés uniquement à partir d'une horloge, ce qui donne une phase arbitraire aux signaux).

Les circuits de lecture des mémoires 102 et 103 gèrent la sortie des informations de celles-ci en tenant compte d'informations en provenance des circuits d'écriture, de façon à ce que les recalages s'effectuent correctement. On attend d'avoir écrit dans la mémoire 102 (canaux à cadence lente) au moins une trame. Le démarrage des circuits de lecture ne s'effectue qu'avec l'apparition d'un intervalle de temps  $IT_0$ . Sur la figure 11, une liaison entre les circuits 105 d'horloge reçue et les circuits 107 de lecture véhicule les informations de commande nécessaires.

Les circuits de mélange des canaux lents et des canaux rapides arrangent les intervalles de temps des canaux à cadences lente et rapide de façon à respecter une structure de trame définie et commandent en conséquence le commutateur 108 à deux positions (I et II).

Par comparaison avec les dispositifs de la figure 3, le dispositif de la figure 11 a une structure plus simple. Notamment, il ne comporte plus que deux mémoires (102 et 103).

Jusqu'à présent, il a été considéré qu'un seul canal rapide était utilisé. Cette disposition particulière, qui correspond à des applications pratiques, n'est cependant pas limitative de l'invention.

On peut considérer en effet, si l'on se reporte à nouveau au cas "a/" de structures de canaux précédemment décrits, que

la structure décrite dans ce cas correspond à une sérialisation de 512 canaux rapides.

La structure de canaux qui en résulterait serait alors la suivante :

5        511 canaux à cadence lente constitués par :

canal 1 : 1I2, 2I2, 3I2, ..., nI2, ...

10      canal 511 : 1I1022, 2I1022, 3I1022, ..., nI1022, ...

et 512 canaux à cadence rapide :

canal 1 : 1I1, 2I1, 3I1, ..., nI1, ...

15      canal 512 : 1I1023, 2I1023, ..., nI1023; ...

La récurrence des informations est de 8 KHz.

20      Comme précédemment, les intervalles de temps  $IT_0$  de chaque trame ne contiennent pas d'informations "utiles" mais des données de synchronisation de trames. Cette disposition explique le fait que, dans l'exemple décrit, il n'y ait que 511 canaux à cadence lente et non 512 canaux.

25      Naturellement d'autres configurations sont envisageables : tout nombre de canaux rapides entre 1 et 512 peut être sélectionné.

La répartition entre canaux à cadence rapide et canaux à cadence lente peut également être arbitraire. En général, cette répartition est choisie de telle sorte qu'elle optimise une application déterminée.

30      Une structure multicanaux à cadence rapide est donc parfaitement compatible avec le dispositif de la figure 11.

35      Dans tous les canaux, il est nécessaire que la structure des trames et la répartition des canaux soient connues. Elles peuvent l'être soit de façon préétablie par implantation matérielle ("Hardware") dans le dispositif de recalage (figure 2 : 1), soit

via des mots de commande véhiculés par les trames et reconnus par les circuits de séparation de canaux.

REVENDICATIONS

1. Dispositif de recalage d'informations pour émettre dans un multiplex temporel sortant ( $I_e$ ) des informations provenant d'un multiplex temporel entrant ( $I_r$ ), lesdits multiplex temporels étant prévus pour au moins un canal à cadence rapide et des canaux à cadence lente, les canaux étant formés d'espaces temps ( $IT_0$  à  $IT_{1023}$ ) répartis dans une trame ; caractérisé en ce qu'il comprend :

5 - des moyens (A) de séparation des intervalles de temps supportant chaque canal à cadence rapide et des intervalles de temps supportant les canaux à cadence rapide,

10 - des premiers moyens (RL), comprenant une première mémoire à décalage, destinés à recaler les canaux à cadence lente,

15 - des seconds moyens (RR) en parallèle, comprenant une seconde mémoire à décalage, destinés à recaler chaque canal à cadence rapide,

20 - et des moyens (B) de reconstitution des trames par mélange des espaces temps provenant des canaux à cadence lente et de chaque canal à cadence rapide.

2. Dispositif selon la revendication 1 ; caractérisé en ce que lesdits multiplex sont prévus pour plusieurs canaux à cadence rapide.

25 3. Dispositif selon l'une quelconque des revendications 1 ou 2 ; caractérisé en ce que lesdites première et seconde mémoire à décalage (102, 103) sont constituées par des mémoires à deux ports d'accès, un pour l'écriture et un pour la lecture ; en ce qu'il comprend des circuits d'écriture (106) dans lesdites mémoires (102, 103) commandés par des circuits d'horloge reçue (105) de manière à écrire au rythme des informations reçues ( $I_r$ ) ; des circuits de lecture (107) desdites mémoires (102, 103) commandés par une horloge locale (110), des circuits de séparation de canaux (101, 104) commandés par lesdits circuits d'horloge reçue (105) ; et en ce que lesdits moyens de reconstitution

de trames comprennent des circuits de mélange d'intervalles de temps des canaux commandés par l'horloge locale (110).

4. Dispositif selon la revendication 3 ; caractérisé en ce que ladite première mémoire (102) peut mémoriser au moins deux intervalles de temps de chaque canal à cadence lente ; et en ce que ladite seconde mémoire (103) peut mémoriser au moins trois intervalles de temps de manière à réaliser le recalage au rythme de cette horloge locale (110).

5. Dispositif selon la revendication 3 ; caractérisé en ce que les circuits de séparation de canaux comprennent un commutateur à deux voies (I, II) reliées aux ports d'écriture desdites mémoires (102, 103) ; et en ce que les circuits de mélange comprenant un commutateur à deux voies (I, II) reliées aux ports de lecture desdites mémoires (102, 103).

10 6. Dispositif selon l'une quelconque des revendications 1 à 5 ; caractérisé en ce qu'il comprend en outre un convertisseur série-parallèle (100) en entrée et un convertisseur parallèle-série (111) en sortie.

15 7. Dispositif selon l'une quelconque des revendications 1 à 6 ; caractérisé en ce que lesdits intervalles de temps ( $IT_0$  à  $IT_{1023}$ ) de chaque trame véhiculent des octets.

20 8. Dispositif selon l'une quelconque des revendications 1 à 7 ; caractérisé en ce que lesdits intervalles de temps ( $IT_0$  à  $IT_{1023}$ ) de chaque trame véhiculent des n-uplets.

25 9. Dispositif selon l'une quelconque des revendications 7 ou 8 ; caractérisé en ce que l'un des intervalles de temps ( $IT_0$ ) véhicule un mot de synchronisation de trame et en ce que les intervalles restant sont réservés à la transmission d'informations.

30 10. Dispositif selon l'une quelconque des revendications 1 à 9 ; caractérisé en ce que les canaux à cadence lente véhiculent des informations représentant du son échantillonné selon une cadence déterminée ; et en ce que chaque canal à cadence rapide est constitué de paquets de données numériques.

1/8

FIG. 1

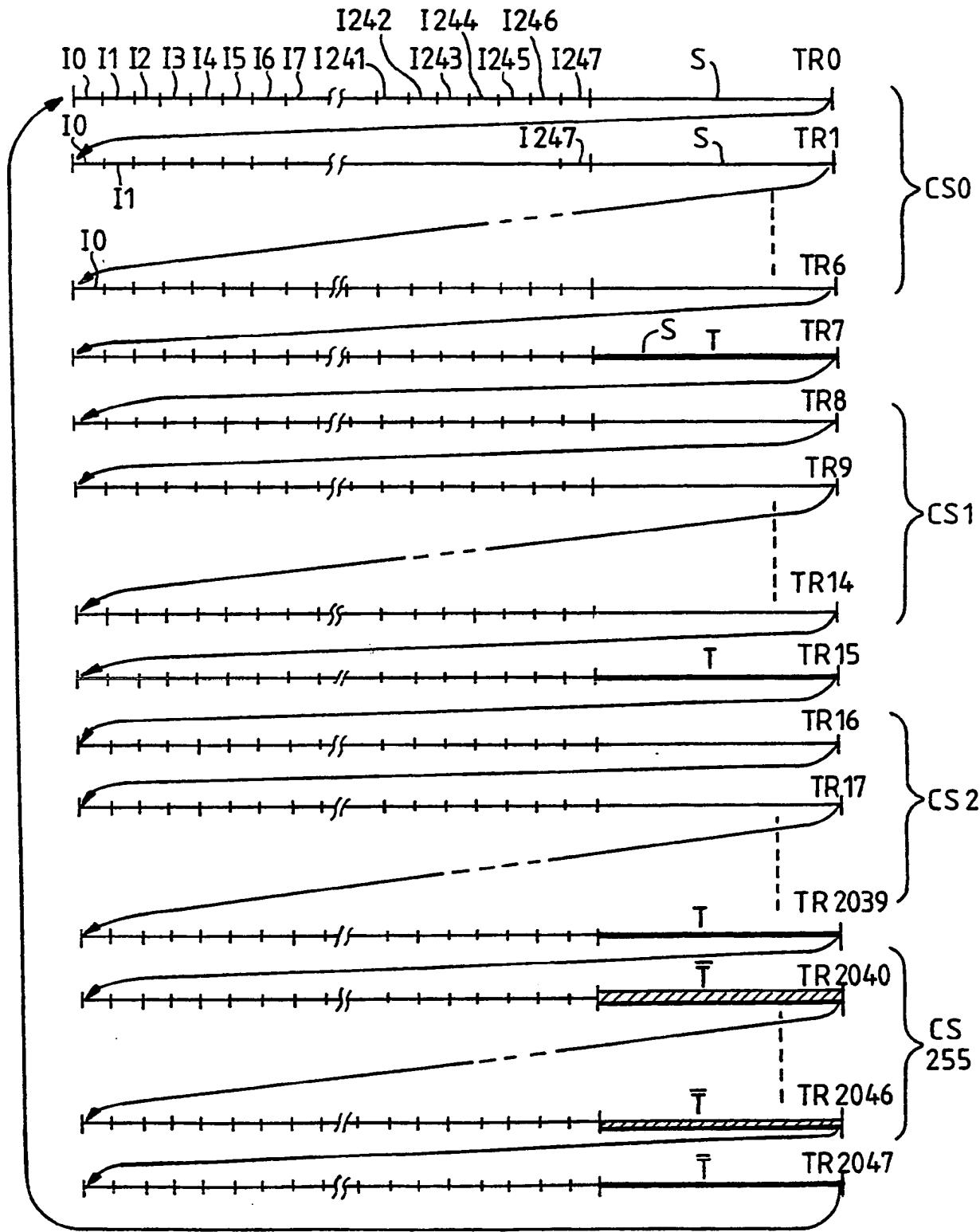


FIG. 2

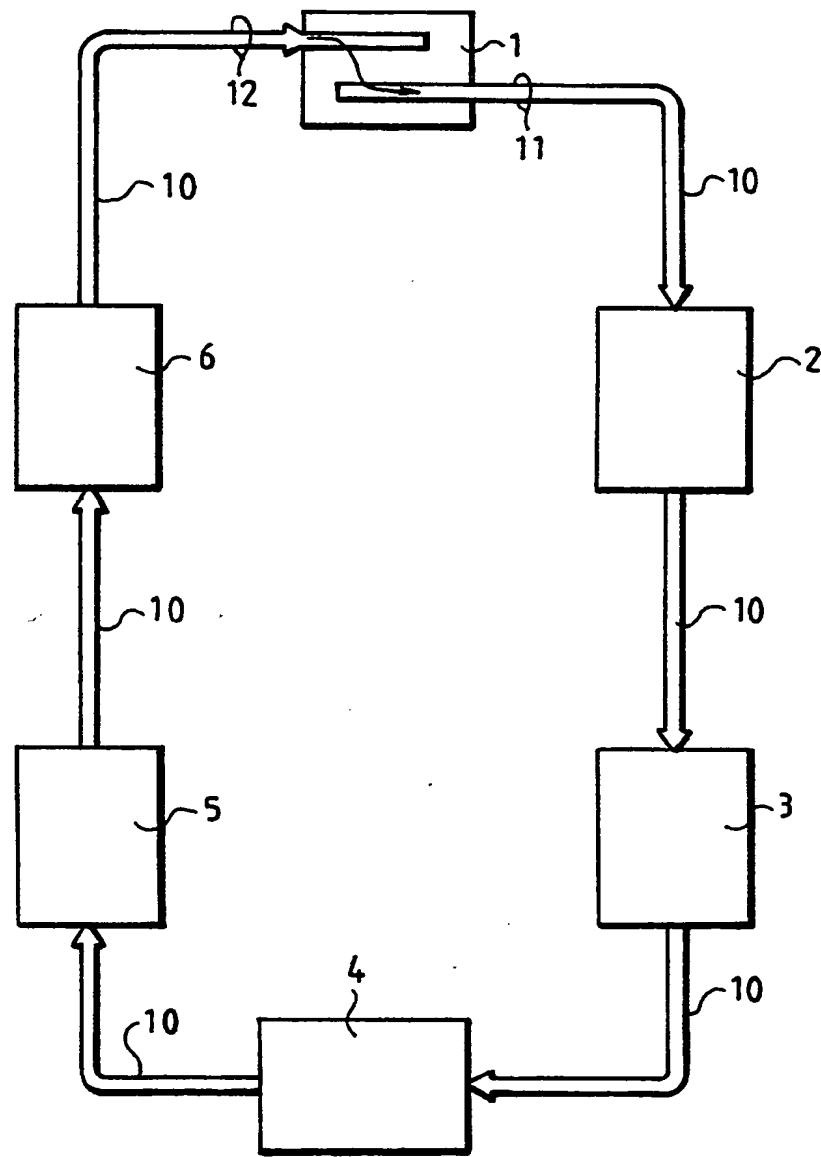
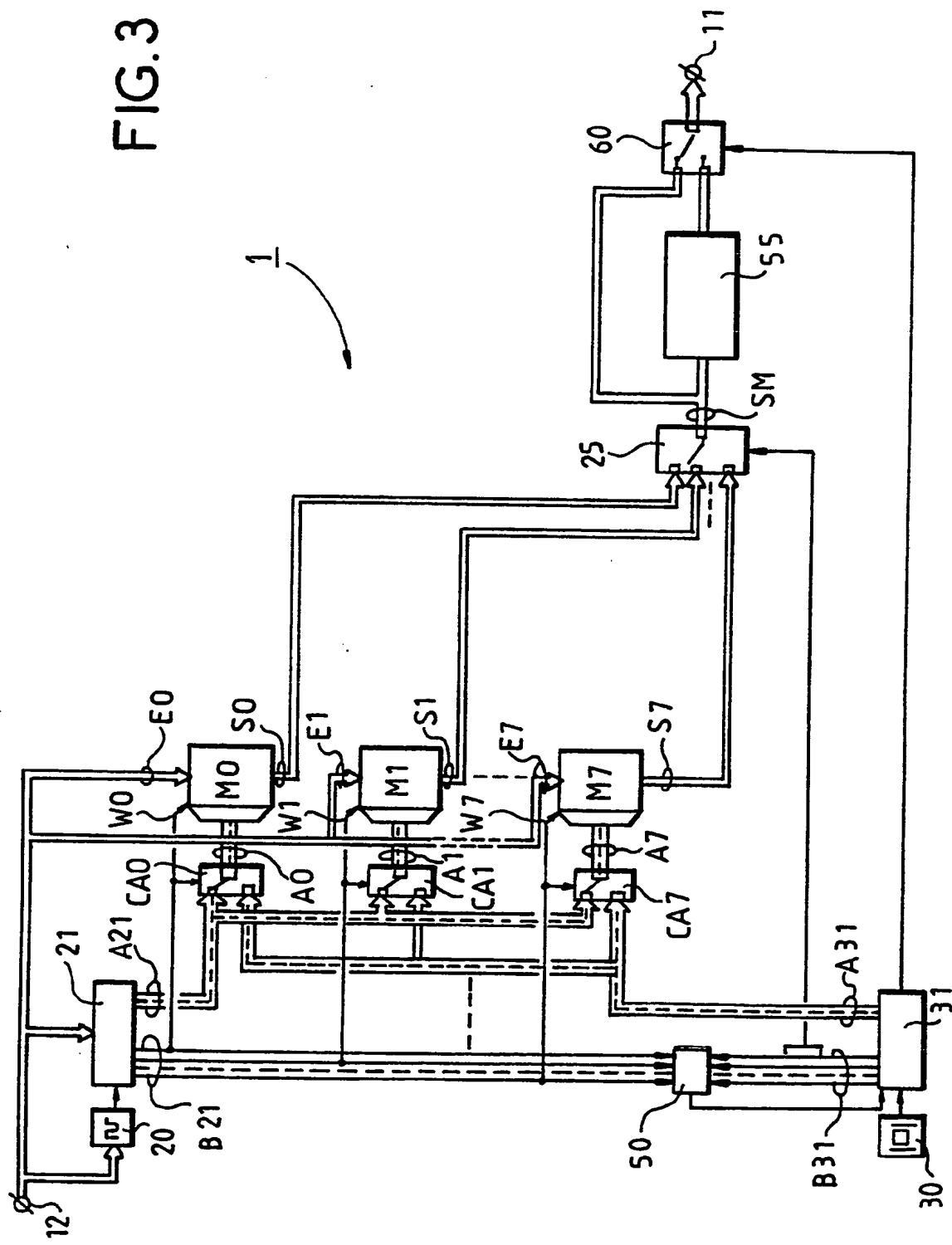


FIG. 3



4/8

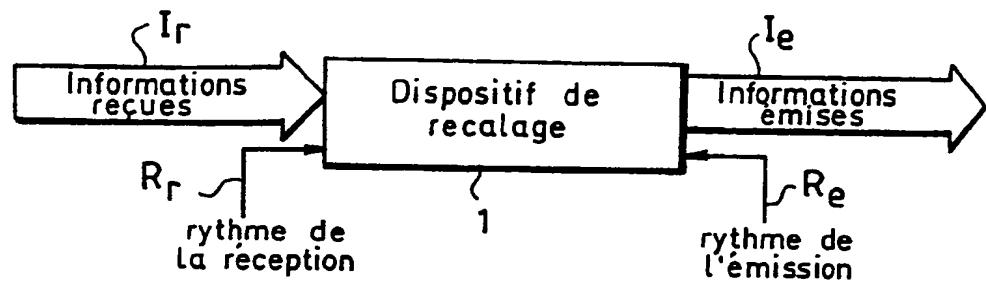


FIG.4

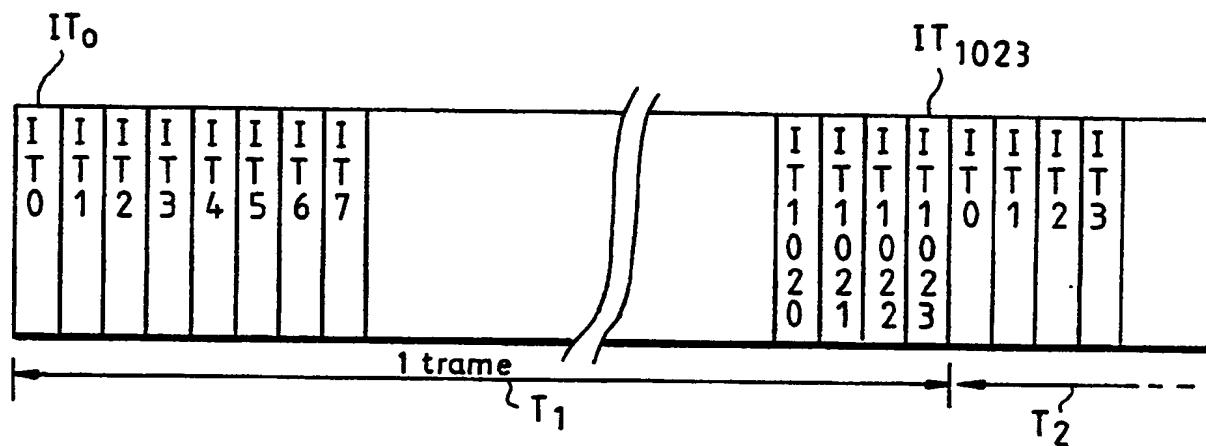


FIG.5

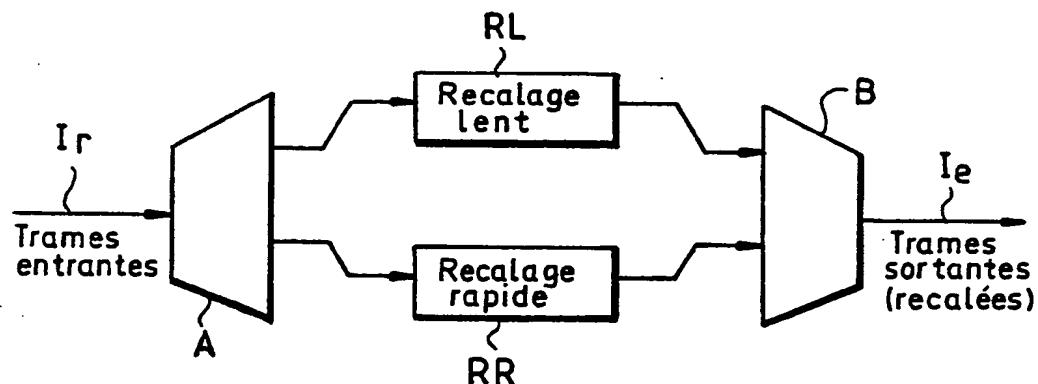


FIG.6

5/8

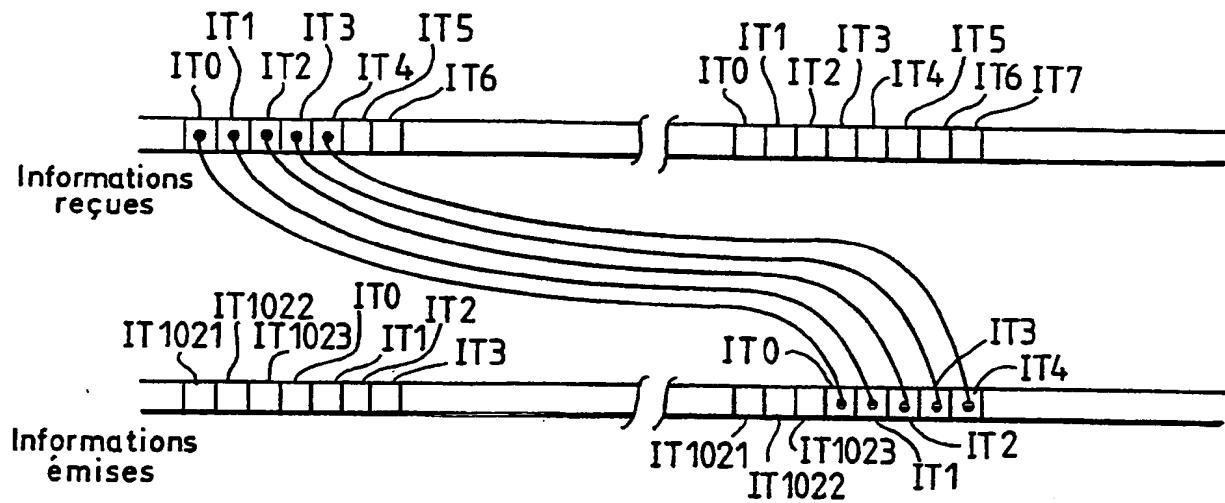


FIG. 7

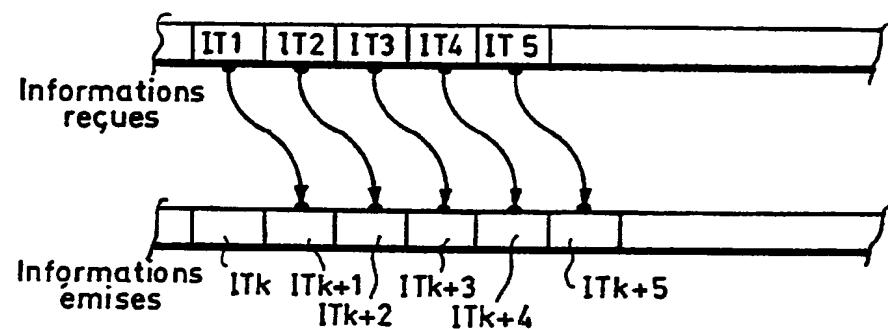
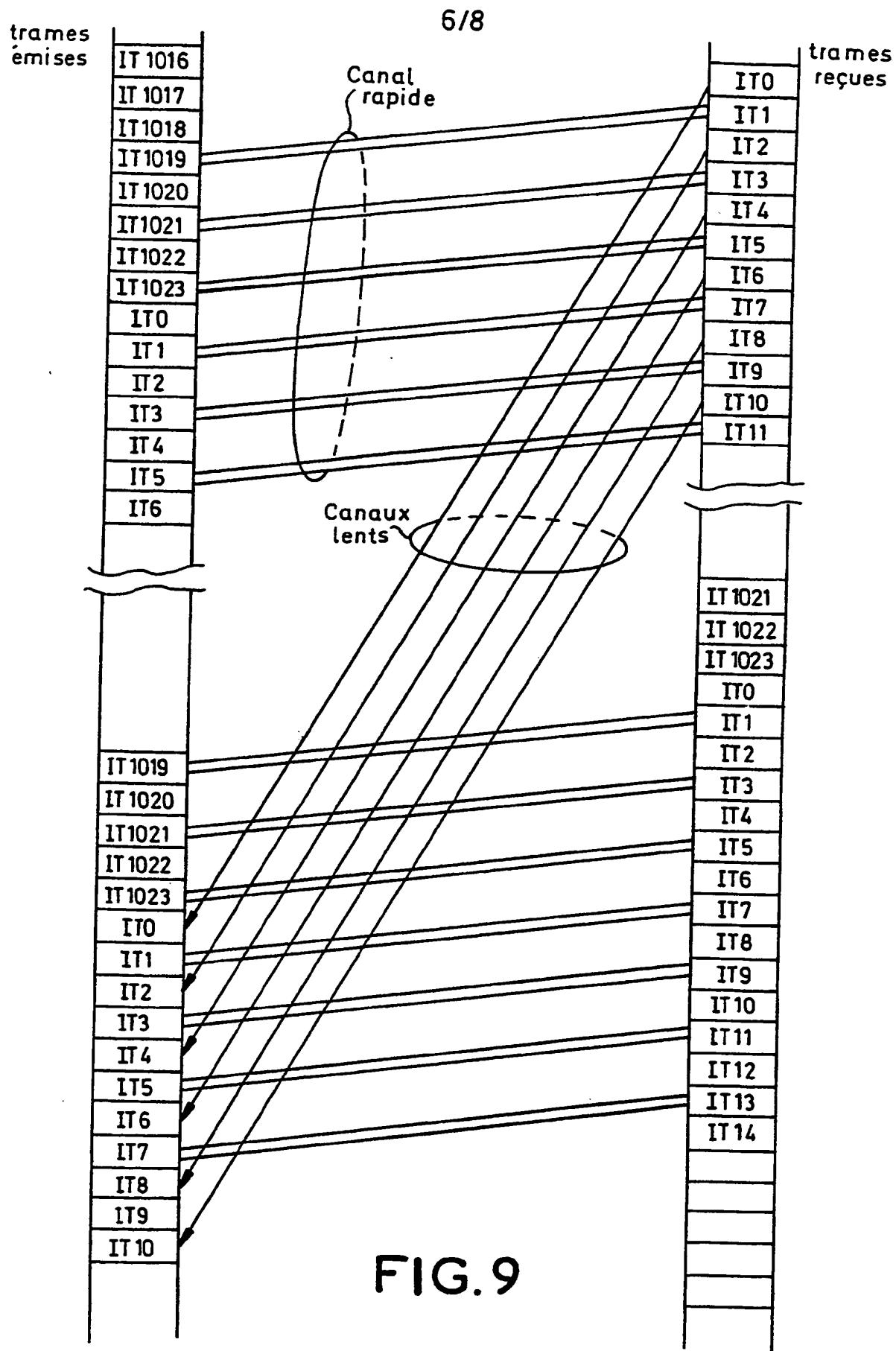


FIG. 8



7/8

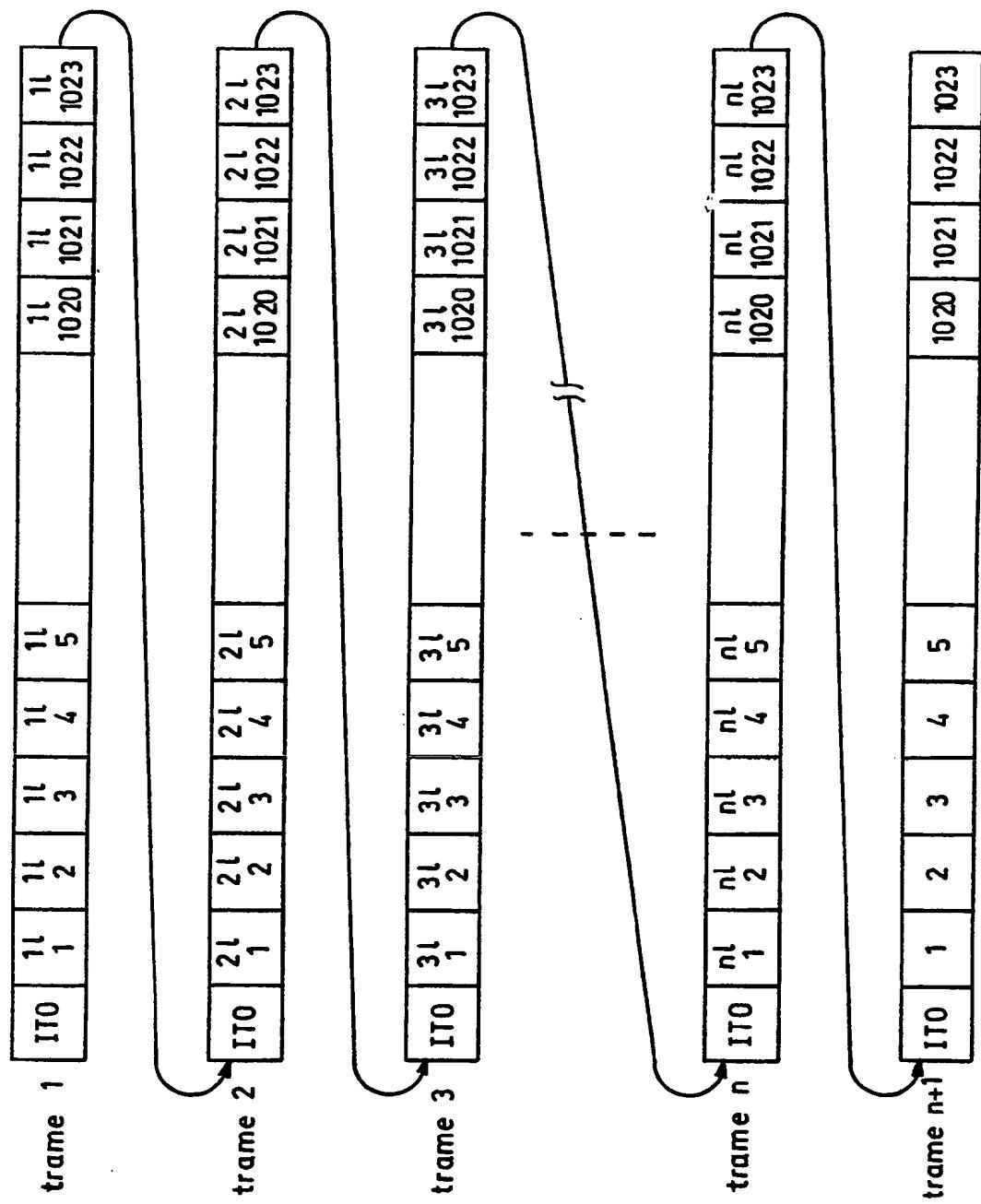


FIG. 10

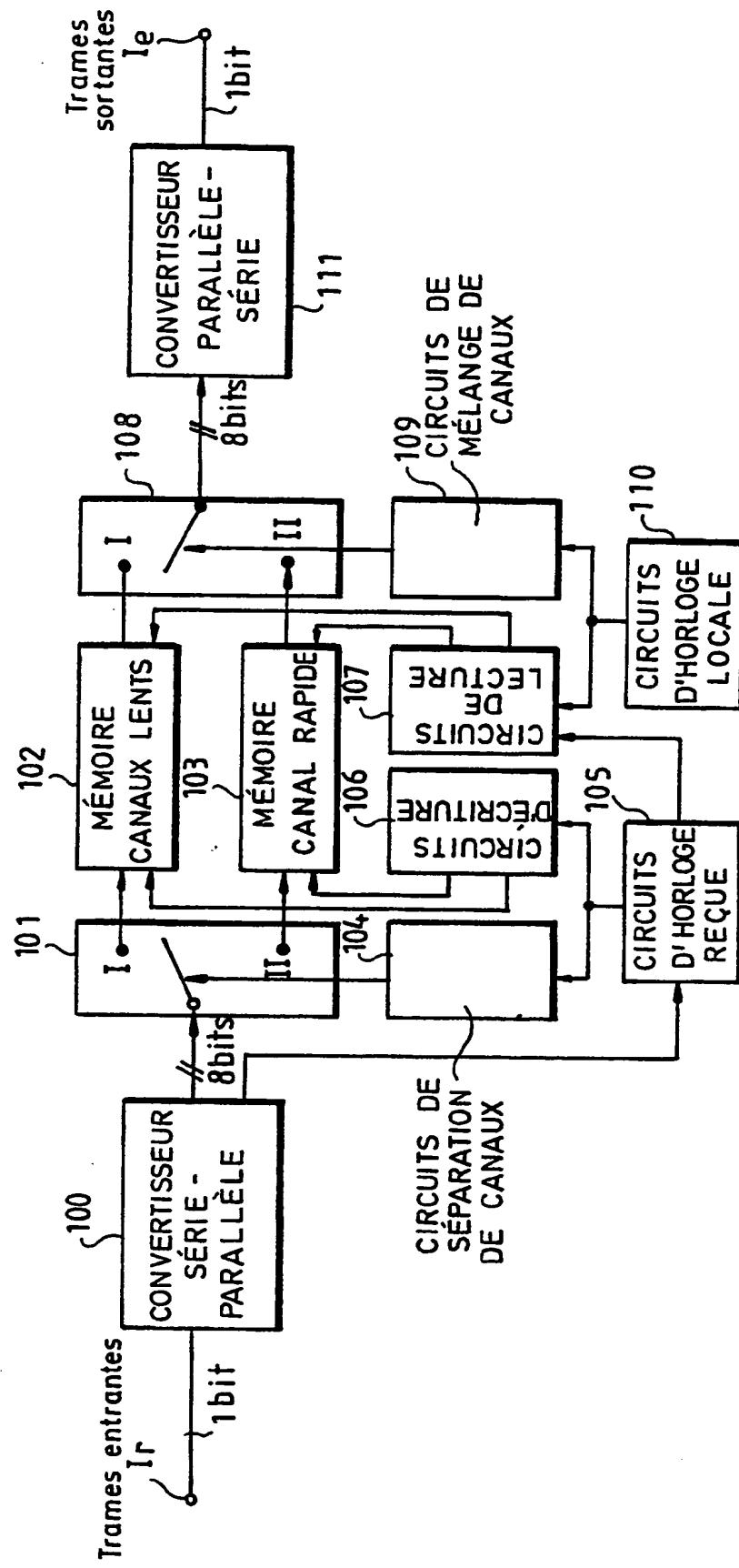


FIG.11

INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

## RAPPORT DE RECHERCHE

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FR 9208209  
FA 475317

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes				
X	FR-A-2 165 182 (TRT) * page 3, ligne 19 - page 5, ligne 3 * * page 11, ligne 8 - page 14, ligne 23 * * figures 1,2A-2C,4 * ---	1-10			
X	PATENT ABSTRACTS OF JAPAN vol. 011, no. 190 (E-517) 18 Juin 1987 & JP-A-62 018 152 ( NEC ) * abrégé *	1,3,5			
D,A	FR-A-2 526 614 (TRT)  * page 1, ligne 16 - ligne 23 * * page 2, ligne 19 - page 3, ligne 22; figures 1-3 * ---	1,2,5,9, 10			
A	US-A-4 858 232 (DIAZ ET AL.) * colonne 6, ligne 29 - colonne 8, ligne 57; figures 1,6,7 * * colonne 13, ligne 11 - colonne 15, ligne 6 * ---	1,3,8-10			
A	EP-A-0 065 377 (ELTRA CORPORATION) * page 1, alinéa 4 - page 2, alinéa 2 * * page 10, alinéa 2 - page 12, ligne 1 * * page 16, alinéa 4 - page 17, alinéa 1; figure 4 * -----	1,6-9	<p>DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)</p> <p>H04J H04L</p>		
2					
Date d'achèvement de la recherche 05 MARS 1993		Examinateur PIEPER T.			
CATEGORIE DES DOCUMENTS CITES					
<p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>					